



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **01290191 A**(43) Date of publication of application: **22.11.89**

(51) Int. Cl

G11C 11/34(21) Application number: **63120062**(22) Date of filing: **17.05.88**(71) Applicant: **RICOH CO LTD**(72) Inventor: **WATANABE KAZUHIRO
OKUBO HIDE****(54) SENSE AMPLIFIER CIRCUIT DEVICE**

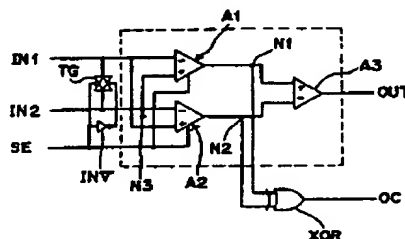
device to be the output of the third amplifying means A3.

(57) Abstract:

COPYRIGHT: (C)1989,JPO&Japio

PURPOSE: To exactly read data by using the data of an arithmetic result for the exclusive OR of the respective outputs of first and second amplifying means as the determining signal of the data for the output of a third amplifying means.

CONSTITUTION: A first amplifying means A1 subtracts and amplifies a second input signal IN2 from a first input signal IN1 and amplifies the signal IN2. Then, a second amplifying means A2 subtracts the first input signal IN1 from the second input signal IN2 and amplifies the signal IN1. Next, a third amplifying means A3 amplifies the level of difference between the output of the first amplifying means A1 and the output of the second amplifying means A2 and after that, the operation of the exclusive OR is executed for the respective outputs of the first and second amplifying means A1 and A2. Then, the determining signal is outputted to show the determination of the data for an output OUT of the third amplifying means A3. Thus, the data can be exactly read in the output voltage of a sense amplifier circuit



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平1-290191

⑤ Int. Cl.⁴
G 11 C 11/34識別記号
3 1 1庁内整理番号
8522-5B

④ 公開 平成1年(1989)11月22日

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 センスアンプ回路装置

⑮ 特 願 昭63-120062

⑯ 出 願 昭63(1988)5月17日

⑰ 発 明 者 渡 辺 一 裕 東京都大田区中馬込1丁目3番6号 株式会社リコー内
 ⑰ 発 明 者 大 久 保 秀 東京都大田区中馬込1丁目3番6号 株式会社リコー内
 ⑱ 出 願 人 株 式 会 社 リ コ ー 東京都大田区中馬込1丁目3番6号
 ⑲ 代 理 人 弁 理 士 青 山 葆 外1名

明 細 書

1. 発明の名称

センスアンプ回路装置

2. 特許請求の範囲

(1) 第1の入力信号から第2の入力信号を減算して増幅する第1の増幅手段と、

第2の入力信号から第1の入力信号を減算して増幅する第2の増幅手段と、

上記第1の増幅手段の出力と上記第2の増幅手段の出力の差のレベルを増幅する第3の増幅手段と、

上記第1と第2の増幅手段の各出力の排他的論理和の演算を行い、上記第3の増幅手段の出力のデータの確定を示す確定信号を出力する演算手段とを備えたことを特徴とするセンスアンプ回路装置。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は記憶装置に格納されたデータを読み出すためのセンスアンプ回路装置に関する。

[従来技術]

第2図は従来例のセンスアンプ回路の回路図である。

第2図において、記憶装置から出力される第1の入力信号IN1が、差動増幅器A1の反転入力端子及び差動増幅器A2の非反転入力端子に入力されるとともに、トランスミッションゲートTGを介してノードN3に入力される。また、上記記憶装置から出力される第2の入力信号IN2が差動増幅器A1の非反転入力端子に入力されるとともに、差動増幅器A2の反転入力端子に入力される。

ここで、上記トランスミッションゲートTGは例えば、並列接続されるPチャンネルMOS電界効果トランジスタ(以下、PMOSFETという。)とNチャンネルMOS電界効果トランジスタ(以下、NMOSFETという。)から構成される。

さらに、このセンスアンプ回路のイネーブル信号SEは、トランスミッションゲートTGのPMOSFETのゲートに入力されるとともに、イン

パートINVを介してNMOSFETのゲートに
入力される。またさらに、上記イネーブル信号SEは、所定の遅延時間 Δt を有する遅延回路DL
を介して出力電圧確定信号OCとして出力される。

差動増幅器A1の出力端子から出力される信号
は差動増幅器A3の非反転入力端子に入力され、
一方、差動増幅器A2の出力端子から出力される
信号は差動増幅器A3の反転入力端子に入力され
る。さらに、この差動増幅器A3の出力端子から
出力される信号はこのセンスアンプ回路の出力電
圧OUTとして出力される。

以上のように構成された従来例のセンスアンプ
回路において、上記出力電圧確定信号OCを上述
のように、ただ単に入力されるイネーブル信号SE
を上記遅延時間 Δt だけ遅延させて得ている。

第3図は第2図のセンスアンプ回路の動作を示
すタイミングチャートであり、第3図において、
記憶装置から入力されるイネーブル信号SEが上
記遅延回路DLの遅延時間 Δt だけ遅延されて出
力電圧確定信号OCとして出力される。

[課題を解決するための手段]

本発明は、第1の入力信号から第2の入力信号
を減算して増幅する第1の増幅手段と、第2の入
力信号から第1の入力信号を減算して増幅する第
2の増幅手段と、上記第1の増幅手段の出力と上
記第2の増幅手段の出力の差のレベルを増幅する
第3の増幅手段と、上記第1と第2の増幅手段の
各出力の排他的論理和の演算を行い、上記第3の
増幅手段の出力のデータの確定を示す確定信号を
出力する演算手段とを備えたことを特徴とする。

[作用]

以上のように構成することにより、上記第1の
増幅手段が第1の入力信号から第2の入力信号を
減算して増幅し、上記第2の増幅手段が第2の入
力信号から第1の入力信号を減算して増幅する。
次いで、上記第3の増幅手段が上記第1の増幅手
段の出力と上記第2の増幅手段の出力の差のレベ
ルを増幅した後、上記演算手段が上記第1と第2
の増幅手段の各出力の排他的論理和の演算を行い、
上記第3の増幅手段の出力のデータの確定を示す

特開平1-290191(2)

このセンスアンプ回路の出力電圧OUTは時刻
 t_1 及び t_2 で確定しており、上記確定信号OCが上
記時刻 t_1 、 t_2 からそれぞれ若干の時間の後の時刻 t_3
、 t_4 において、Hレベルとされるように、上記遅
延回路DLの遅延時間 Δt が設定される。

[発明が解決しようとする課題]

上記遅延回路DLの遅延時間は上述のように一
定に設定されている。一方、例えば電源電圧Vcc、
周囲温度、及びプロセスのパラメータなどが変動
した場合、第3図の時刻 t_3 、 t_4 で示されるセンス
アンプ回路の出力電圧のデータの確定のタイミン
グが変動し、第3図の時刻 t_3 、 t_4 で示される上記
遅延回路DLによって設定されたデータ確定のタ
イミングがずれ、正確に、上記センスアンプ回路
の出力電圧におけるデータを読み出すことができ
なくなるという問題点があった。

本発明の目的は以上の問題点を解決し、センス
アンプ回路装置の出力電圧におけるデータを正確
に読み出すことができるセンスアンプ回路装置を
提供することにある。

確定信号を出力する。

従って、上記第1と第2の増幅手段の各出力の
排他的論理和の演算結果のデータを、上記第3の
増幅手段の出力のデータの確定を示す確定信号と
して用いることにより、従来例のように電源電圧
Vcc、周囲温度又はプロセスのパラメータなどが
変動した場合であっても上記確定信号のレベルが
変動しない。これにより、上記第3の増幅手段の
出力であるセンスアンプ回路装置の出力電圧にお
けるデータを正確に読み出すことができる。

[実施例]

第1図は本発明の一実施例であるセンスアンプ
回路のブロック図であり、この実施例のセンスア
ンプ回路は、第2図の従来例のセンスアンプ回路
に比べて、遅延回路DLを備えず、差動増幅器A
1の出力と差動増幅器A2の出力を2入力とする
排他的オアゲートXORを備えたことを特徴とし
ている。以下、上記相違点について詳細に説明す
る。

第1図において、差動増幅器A1の出力端子が

特開平1-290191(3)

排他的オアゲートXORの第1の入力端子に接続され、差動増幅器A2の出力端子が上記排他的オアゲートXORの第2の入力端子に接続される。この排他的オアゲートXORの出力端子から、センスアンプ回路の出力電圧のデータ確定時を示す出力電圧確定信号OCが出力される。

以上のように構成されたセンスアンプ回路の動作を第1表を参照して説明する。

まず、イネーブル信号SEがLレベルであり、入力信号IN1、IN2の各レベルが等しいとき、ノードN1とノードN2の各レベルがそれぞれHレベルとなり、この結果、出力電圧確定信号OCがLレベルとなる。

次に、イネーブル信号SEがHレベルであり入力信号IN1、IN2の各レベルが等しいとき、ノードN1とノードN2の各レベルはそれぞれHレベルとなり、その結果、出力電圧確定信号OCがLレベルとなる。

さらに、イネーブル信号SEがHレベルであり、入力信号IN1のレベルが入力信号IN2のレベ

ルよりも高いとき、ノードN1とノードN2の各レベルがそれぞれLレベル、Hレベルとなり、その結果、出力電圧確定信号OCがHレベルとなる。

またさらに、イネーブル信号SEがHレベルであり、入力信号IN1のレベルが入力信号IN2のレベルよりも低いとき、ノードN1とノードN2の各レベルがそれぞれHレベル、Lレベルとなり、その結果、出力電圧確定信号OCがHレベルとなる。

従って、イネーブル信号SEがHレベルであり、入力信号IN1のレベルと入力信号IN2のレベルが異なるとき、出力電圧確定信号OCがHレベルとなる。すなわち、出力電圧確定信号OCがLレベルからHレベルになるとき、センスアンプ回路の出力電圧OUTが確定したことを検出できる。

第4図は第1図のセンスアンプ回路の回路図である。

第4図において、入力信号IN1がトランスマッションゲートTGを介して、ノードND4に入力されるとともに、ノードND3を介してNMOS

FET N1のゲート及びNMOSFET N4のゲートに入力される。一方、入力信号IN2がノードND4を介してNMOSFET N2のゲート及びNMOSFET N5のゲートに入力される。

また、イネーブル信号SEが、トランスマッションゲートTGのPMOSFETのゲートに入力されるとともに、インバータINVを介してNMOSFETのゲートに入力される。さらに、イネーブル信号SEが、プルアップ用PMOSFET P1のゲート、プルアップ用PMOSFET P2のゲート、NMOSFET N3のゲート、及びNMOSFET N6のゲートに入力される。

ここで、PMOSFET P1のソースが例えば+5Vの直流電圧を出力する直流電源Vccに接続され、PMOSFET P1のドレインがノードND1に接続される。また、PMOSFET P2のソースが上記直流電源Vccに接続され、PMOSFET P2のドレインがノードND2に接続される。

差動増幅器A1は2個のPMOSFET P3、P4と3個のNMOSFET N1、N2、N3を備える。この差動増幅器A1において、PMOSFET P3のソース及びPMOSFETのソースはともに直流電源Vccに接続され、該PMOSFET P3のゲートとPMOSFET P4のゲートがともに接続されてNMOSFET N2のドレインに接続される。PMOSFET P3のドレインとNMOSFET N1のドレインはともに接続されて、PMOSFET P1のドレインとノードND1に接続される。PMOSFET P3のゲートがPMOSFET P4のゲートとドレインに接続されるとともに、NMOSFET N2のドレインに接続される。NMOSFET N1のソースはNMOSFET N2のソースに接続されるとともに、NMOSFET N3のドレインに接続される。さらに、NMOSFET N3のソースはアースに接続される。この差動増幅器A1の出力端子はノードND1であり、排他的オアゲートXORの第1の入力端子に接続

されるとともに、NMOSFET N7のゲートに接続される。

差動増幅器A2は2個のPMOSFET P5、P6と3個のNMOSFET N4、N5及びN6を備える。この差動増幅器A2において、PMOSFET P5のソースとPMOSFET P6のソースはともに直流電源Vccに接続され、PMOSFET P5のゲートとPMOSFET P6のゲートがともに接続されて、PMOSFET P5のドレインとNMOSFET N4のドレインに接続される。PMOSFET P6のドレインとNMOSFET N5のドレインはともに接続されて、PMOSFET P2のドレインとノードND2に接続される。

NMOSFET N4のソースとNMOSFET N5のソースはともに接続されてNMOSFET N6のドレインに接続される。さらに、NMOSFET N6のソースはアースに接続される。この差動増幅器A2の出力端子はノードND2に接続されるとともに、排他的オアゲートXO

さらに、排他的オアゲートXORの出力端子は出力電圧確定信号OCの出力端子となる。

以上のように構成された第4図のセンスアンプ回路は、第1表に示すように、第1図のセンスアンプ回路と同様に動作する。

以上説明したように、入力信号INI、IN2をそれぞれ入力とする差動増幅器A1、A2の各出力端子を入力とする排他的オアゲートXORを設けたので、イネーブル信号SEがHレベルであり、入力信号INIのレベルと入力信号IN2のレベルが異なるとき、上記排他的オアゲートXORからHレベルの出力電圧確定信号OCが出力され、この信号OCがLレベルからHレベルになるとき、センスアンプ回路の出力電圧OUTのデータが確定したことを検出することができる。

特開平1-290191(4)

Rの第2の入力端子及びNMOSFET N8のゲートに接続される。

差動増幅器A3は2個のPMOSFET P7、P8と3個のNMOSFET N7、N8、N9を備える。この差動増幅器A3において、PMOSFET P7のソースとPMOSFET P8のソースはともに直流電源Vccに接続され、PMOSFET P7のゲートとPMOSFET P8のゲートがともに接続されて、PMOSFET P7のドレイン及びNMOSFET N7のドレインに接続される。また、PMOSFET P8のドレインとNMOSFET N8のドレインはともに接続されて、このセンスアンプ回路の出力信号OUTの端子に接続される。

NMOSFET N7のソースとNMOSFET N8のソースはともに接続され、NMOSFET N9のドレインに接続される。さらに、NMOSFET N9のゲートは直流電源Vccに接続され、NMOSFET N9のソースはアースに接続される。

第 1 表

| SE | INIとIN2の関係 | N1 | N2 | OC |
|----|------------|----|----|----|
| L | INI = IN2 | H | H | L |
| H | INI = IN2 | H | H | L |
| H | INI > IN2 | L | H | H |
| | INI < IN2 | H | L | H |

〔発明の効果〕

以上詳述したように本発明によれば、2個の入力信号を減算して増幅する第1と第2の増幅手段の各出力の排他的総和の演算結果のデータを、センスアンプ回路装置の出力のデータの確定を示す確定信号として用いたので、従来例のように電源電圧Vcc、周囲温度又はプロセスのパラメータなどが変動した場合であっても、上記確定信号のレベルが変動しない。従って、センスアンプ回路装置の出力におけるデータを正確に読み出すことができるという利点がある。

特開平1-290191(5)

4. 図面の簡単な説明

第1図は本発明の一実施例であるセンスアンプ回路のブロック図、

第2図は従来例のセンスアンプ回路のブロック図、

第3図は第2図のセンスアンプ回路の動作を示すタイミングチャート、

第4図は第1図のセンスアンプ回路の回路図である。

A1, A2, A3…差動増幅器、

TG…トランSMissionゲート、

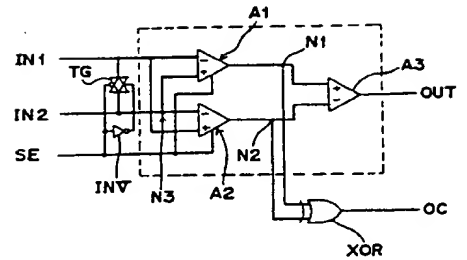
INV…インバータ、

XOR…排他的オアゲート。

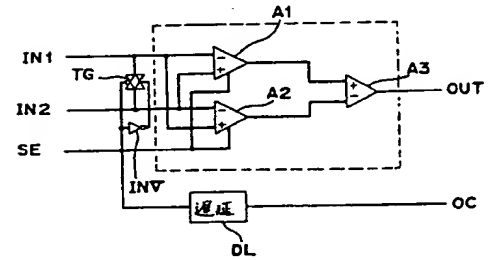
特許出願人 株式会社 リコー

代理人 弁理士 青山 源 ほか1名

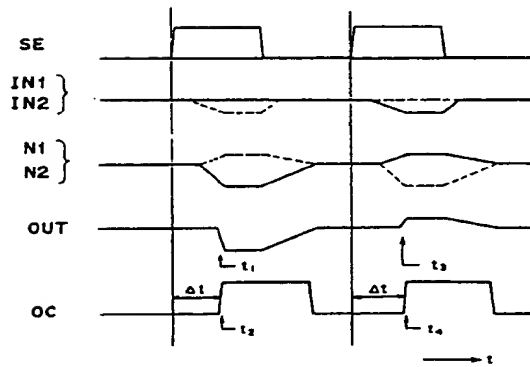
第1図



第2図



第3図



第4図

